

<Priority Document Translation>



THE KOREAN INDUSTRIAL
PROPERTY OFFICE

This is to certify that the following application
annexed hereto is a true copy from the records of the
Korean Industrial Property Office.

Application Number : 1999-64055 (Patent)

Date of Application : December 28, 1999

Applicant(s) : HYUNDAI ELECTRONICS INDUSTRIES CO., LTD.

September 21, 2000

COMMISSIONER

대한민국 특허청

KOREAN INDUSTRIAL
PROPERTY OFFICE

4043
jc808 U.S. PTO

09/746459



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 1999년 제 64055 호
Application Number

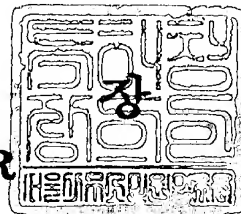
출원년월일 : 1999년 12월 28일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)

2000 년 09 월 21 일

특 허 청

COMMISSIONER





919980002234



10111010000000000000

방 식 심 사 란	담 당	심 사 관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0042

【제출일자】 1999.12.28

【발명의 국문명칭】 공핍형 트랜지스터로 이루어진 비트라인 구조를 갖는
강유전체 메모리 소자

【발명의 영문명칭】 FeRAM having bit line structure comprised of depletion
mode transistors

【출원인】

【명칭】 현대전자산업주식회사

【출원인코드】 1-1998-004569-8

【대리인】

【성명】 박해천

【대리인코드】 9-1998-000223-4

【포괄위임등록번호】 1999-008448-1

【대리인】

【성명】 원석희

【대리인코드】 9-1998-000444-1

【포괄위임등록번호】 1999-008444-1

【발명자】

【성명의 국문표기】 강응열

【성명의 영문표기】 KANG,Eung Youl

【주민등록번호】 671028-1042213

【우편번호】 122-013

【주소】 서울특별시 은평구 응암3동 121-29 301호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

박해천 (인)

대리인

원석희 (인)

【수수료】

【기본출원료】	13	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】			266,000	원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 비트라인과 활성영역이 분리된 구조 보다 집적도를 더욱 향상시킬 수 있는, 공핍형 트랜지스터로 이루어진 비트라인 구조를 갖는 강유전체 메모리 소자에 관한 것으로, 비트라인 형성에 따른 강유전체 메모리 소자의 면적 손실을 줄이기 위하여 활성 비트라인을 이용하는데 특징이 있다. 즉, 강유전체 메모리 소자의 셀을 2개의 트랜지스터 및 1개의 강유전체 캐패시터로 구성하고, 상기 2개 트랜지스터 중 하나의 트랜지스터는 공핍형 트랜지스터로 형성하여 셀을 16 비트 또는 32 비트씩 n^+ 활성영역으로 연결함으로써 비트라인이 이루어지도록 한다. 이와 같이 비트라인을 구성함에 따라, 각 메모리 셀마다 비트라인 콘택을 형성할 필요가 없기 때문에 콘택 설계 규칙에서 요구되는 만큼의 면적을 소모하지 않아도 되고, 비트라인과 플레이트 라인이 평행하도록 함으로써 워드라인 방향에서 셀 플레이트 드라이브가 차지하던 공간을 제거하여 워드라인 지연을 감소시킬 수 있다.

【대표도】

도 1

【색인어】

강유전체 메모리 소자, 비트라인, 공핍형 트랜지스터, 활성영역, 증가형 트랜지스터

【명세서】**【발명의 명칭】**

공핍형 트랜지스터로 이루어진 비트라인 구조를 갖는 강유전체 메모리 소자{FeRAM having bit line structure comprised of depletion mode transistors}

【도면의 간단한 설명】

도1은 본 발명의 일실시예에 따른 강유전체 메모리 소자의 셀 구성을 보이는 레이아웃,

도2는 본 발명의 일실시예에 따른 강유전체 메모리 소자의 회로도.

도면의 주요부분에 대한 도면 부호의 설명

A1, A2: 활성영역

BL: 비트라인

WL: 워드라인

D0, D1...D15: 공핍형 트랜지스터 게이트

N0, N1...N15: 증가형 트랜지스터 게이트

CP: 셀 플레이트

PL: 플레이트 라인

SN: 스토리지 노드

SC: 스토리지 노드 콘택

DC: 드레인 콘택

LI: 연결배선

S/A: 센스 증폭기

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 메모리 소자 제조 분야에 관한 것으로, 특히 반도체 메모리 소자 중 전원을 제거하여도 저장된 데이터가 손실되지 않는 비휘발성 강유전체 메모리 소자에 관한 것이다.
- <12> 종래 FeRAM의(ferroelectric random access memory) 셀은 캐패시터의 유전막을 강유전체막으로 형성하는 점에서 차이가 있을 뿐 셀 구성은 일반 DRAM(dynamic random access memory) 셀과 동일하다. 즉, 워드라인(word line)을 폴리실리콘막으로 형성하고 비트라인(bit line)을 금속으로 형성하는 제1 방법과, 워드라인과 비트라인을 모두 폴리실리콘막으로 형성하는 제2 방법이 이용된다.
- <13> 상기 제1 방법은 비교적 집적도가 낮은 소자를 만들 때 이용되는데, 스토리지 노드(storage node)와 드레인을 연결하기 위한 금속배선(metal line)과 금속 비트라인 간의 설계규칙(design rule)이 셀 면적을 감소시키는 한 요인으로 작용한다.
- <14> 상기 제2 방법은 비트라인을 폴리실리콘으로 형성함으로써 드레인과 스토리지 노드를 연결하는 금속배선과의 설계규칙에서 제약을 덜 받게 되지만 폴리실리콘을 한번 더 형성하여야 하기 때문에 전체 공정수가 증가하며 단가 상승의 요인이 될 수 있다.
- <15> 또한, 종래 FeRAM 셀 구조에서는 활성영역(active region)과 비트라인이 분리되어 있기 때문에 각 셀마다 비트라인에 신호를 전달해주기 위해서는 비트라인 콘택을 형성하여야 한다. 따라서, 콘택 자체의 크기와 콘택과 활성영역, 콘택과 워드라인의 중첩 여유

도(overlap margin)를 고려하여 일정영역의 공간확보가 필요하다. 예를 들어 콘택크기가 $1.0\ \mu\text{m}$ 이고, 콘택과 활성영역, 콘택과 워드라인의 중첩 여유도가 $0.5\ \mu\text{m}$ 일 때 셀 마다 $2\ \mu\text{m}$ 의 공간이 필요하다.

<16> 따라서, 종래와 같이 활성영역과 비트라인이 분리된 구조에서는 집적도 향상에 한계가 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 비트라인과 활성영역이 분리된 구조 보다 집적도를 더욱 향상시킬 수 있는, 공핍형 트랜지스터로 이루어진 비트라인 구조를 갖는 강유전체 메모리 소자를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<18> 상기와 같은 목적을 달성하기 위한 본 발명은 강유전체 캐패시터, 상기 강유전체 캐패시터의 데이타를 선택하는 증가형 트랜지스터, 상기 증가형 트랜지스터를 선택하는 워드라인 및 상기 워드라인을 통하여 상기 증가형 트랜지스터로부터 전달받은 데이타를 센스증폭기에 전달하는 비트라인을 구비하는 강유전체 메모리 셀에 있어서, 이웃하는 셀과 연결되며 그 상부에 공핍형 트랜지스터의 게이트가 형성되어 상기 비트라인을 이루는 제1 활성영역; 상기 제1 활성영역과 접하며 그 상부에 상기 증가형 트랜지스터의 게이트가 형성되는 제2 활성영역; 상기 공핍형 트랜지스터의 게이트 및 상기 증가형 트랜지스터의 게이트와 연결되는 워드라인; 및 상기 증가형 트랜지스터의 드레인과 연결되는

강유전체 캐패시터를 포함하는 강유전체 메모리 셀을 제공한다.

<19> 상기 강유전체 캐패시터의 셀 플레이트와 상기 비트라인은 평행하다.

<20> 또한, 본 발명은 상기 강유전체 메모리 셀을 구비하며 상기 셀을 다수개 포함하는 단위 블록 마다, 상기 제1 활성영역을 노출시키는 콘택영역; 및 상기 콘택영역을 통하여 상기 제1 활성영역과 연결되어 상기 비트라인의 데이터를 전달하는 금속선을 포함하는 강유전체 메모리 소자를 제공한다.

<21> 본 발명은 비트라인 형성에 따른 강유전체 메모리 소자의 면적 손실을 줄이기 위하여 활성 비트라인을 이용하는데 특징이 있다. 즉, 강유전체 메모리 소자의 셀을 2개의 트랜지스터 및 1개의 강유전체 캐패시터로 구성하고, 상기 2개 트랜지스터 중 하나의 트랜지스터는 공핍형(depletion mode)의 트랜지스터로 형성하여 셀을 16 비트(bit) 또는 32비트씩 n^+ 활성영역으로 연결함으로써 비트라인이 이루어지도록 한다.

<22> n^+ 활성영역으로 비트라인을 구성하고자 할 때 각 셀의 활성영역을 연결하는 활성 비트라인을 구성하여야 하는데, 이 경우 활성영역 위를 지나는 폴리실리콘 워드라인에 의해 트랜지스터의 게이트가 형성되므로 16비트 또는 32비트 셀 스트링(string)에 포함되어 있는 워드라인을 모두 선택하여야만 활성 비트라인을 통해서 데이터가 전달될 수 있다. 그러나, 모든 워드라인을 선택하게 되면 랜덤 액세스(random access)가 불가능해지므로 본 발명에서는 항상 턴온(turn on)되는 공핍형 트랜지스터를 각 셀의 활성영역에 형성하여 활성 비트라인을 이루도록 한다. 따라서, 특정 워드라인이 선택되어 '하이(high)'이거나 선택되지 않아 '로우(low)'인 모든 경우에 비트라인 상에 전달된 데이터

를 센스 증폭기(sense amplifier) 쪽으로 전달할 수 있다.

<23> 이와 같이 비트라인을 구성함에 따라, 각 메모리 셀마다 비트라인 콘택을 형성할 필요가 없기 때문에 콘택 설계 규칙(contact design rule)에서 요구되는 만큼의 면적을 소모하지 않아도 되고, 비트라인과 플레이트 라인이 평행하도록 함으로써 워드라인 방향에서 셀 플레이트 드라이브(cell plate drive)가 차지하던 공간을 제거하여 워드라인 지연(word line delay)을 감소시킬 수 있다.

<24> 이하, 첨부된 도면을 참조하여 본 발명의 일실시예에 따른 강유전체 메모리 소자의 구성을 보다 상세히 설명한다.

<25> 도1은 강유전체 캐패시터, 상기 강유전체 캐패시터의 데이터를 선택하는 증가형(enhancement mode) 트랜지스터, 상기 증가형 트랜지스터를 선택하는 워드라인 및 상기 워드라인을 통하여 상기 증가형 트랜지스터로부터 전달받은 데이터를 센스증폭기에 전달하는 비트라인을 구비하는 강유전체 메모리 셀이, 이웃하는 셀과 연결되며 그 상부에 공핍형 트랜지스터의 게이트(D0, D1...)가 형성되어 상기 비트라인(BL)을 이루는 제1 활성영역(A1), 상기 제1 활성영역(A1)과 접하며 그 상부에 상기 증가형 트랜지스터(N0, N1...)의 게이트가 형성되는 제2 활성영역(A2), 상기 공핍형 트랜지스터의 게이트(D0, D1...) 및 증가형 트랜지스터의 게이트(N0, N1...)와 연결되는 워드라인(WL), 상기 증가형 트랜지스터(N0, N1...)의 드레인과 연결되는 강유전체 캐패시터로 이루어지는 것을 보이고 있다. 상기 강유전체 캐패시터의 셀플레이트(CP)는 비트라인(BL)과 평행을 이룬다.

- <26> 도1에서 미설명 도면부호 'DC'는 증가형 트랜지스터의 드레인 콘택, 'SC'는 스토리지 노드 콘택, 'SN'은 스토리지 노드, 'LI'는 증가형 트랜지스터의 드레인과 강유전체 캐패시터를 연결하는 연결배선(Local Interconnection)을 각각 나타낸다.
- <27> 셀 구성은 16 스트링 또는 32 스트링으로 한다. 이 보다 셀 스트링이 길어질 경우 활성저항에 의해 올바른 데이터 전송이 힘들어지므로 32 스트링의 경우는 금속 스트래핑(metal strapping) 등으로 활성라인을 구성하여야 한다.
- <28> 도1과 같이 이루어지는 강유전체 메모리 소자의 전반적인 동작을 첨부된 도면 도2를 참조하여 설명한다.
- <29> 먼저, 도2에서 제1 셀(C1)을 선택하는 경우를 예로 들면, 소자가 대기 상태(stand-by mode)일 경우 모든 워드라인은 '로우'를 유지한다. 이후 비트라인 프리차지(bit line precharge) 기간 동안에는 계속 '로우' 상태를 유지하다가 워드라인(WL1)을 '하이'로 선택하고 나머지 워드라인 'W0' 및 'WL2' 내지 'WL15'는 로우 상태를 유지한다. 이때, 동시에 플레이트 라인(PL)을 선택하여 '하이' 상태를 유지한다. 이 경우 워드라인 'WL1'이 '하이' 상태를 유지하므로 공핍형 트랜지스터(D1), 증가형 트랜지스터(N1) 모두가 턴온 상태가 되어 선택된 캐패시터의 데이터를 비트라인(BL)을 통하여 센스 증폭기(S/A)로 전달할 수 있는 상태가 된다. 반면에 나머지 워드라인 'N0' 및 'N2' 내지 'N15'는 턴 오프되므로 비트라인(BL)에 데이터를 실어보낼 수 없는 상태가 된다. 이후 플레이트 라인(PL)을 '로우' 상태로 떨어뜨리고 워드라인을 닫는 일반적인 동작을 수행하게 된다.
- <30> 본 발명의 다른 실시예로서는 16 비트 스트링 이외에 32, 64, 128 스트링을 연결하는 예를 들 수 있으며 셀 스트링수가 증가함에 따라서 16비트 또는 32비트마다 금속 트

래핑을 할 수도 있다. 금속 트래핑 방법은 16비트 또는 32비트 스트링이 끝나는 셀 지역의 활성영역에서 금속 콘택을 형성하여 비트라인에 전달되는 데이터를 비트라인 콘택 및 금속선을 통하여 전달하는 방법이다. 이때 금속선이 셀을 지나가게 되지만 셀 영역에서는 콘택을 형성할 필요가 없고 셀 스트링이 끝나는 단위 블록(block)에만 콘택을 형성하기 때문에 셀 영역에서의 콘택 형성은 피할 수 있다.

<31> 전술한 바와 같이 본 발명에 따른 강유전체 메모리 소자의 동작은 종래 일반적인 FeRAM 또는 DRAM의 동작과 동일하다. 즉, 셀에 데이터를 쓰거나 읽는 방법은 모두 동일하며 단지 비트라인으로 활성영역으로 구성하기 위하여 공핍형 트랜지스터를 사용한 것이다.

<32> 따라서, 본 발명의 셀을 구현하기 위한 공정 순서는 일반적인 메모리 소자 제조 공정과 크게 다르지 않기 때문에 공정에 대한 상세한 설명은 생략하기로 한다. 공핍형 트랜지스터와 증가형 트랜지스터를 형성하는 방법에 있어서는 공핍형 트랜지스터 및 증가형 트랜지스터 영역 각각을 별도로 노출시킨 상태에서 이온주입을 실시하는 방법, 공핍형 트랜지스터 영역 및 증가형 트랜지스터 영역 모두를 노출시킨 상태에서 공핍형 트랜지스터 형성을 위한 이온주입을 실시한 후 증가형 트랜지스터 영역만을 노출시킨 상태에서 보상(compensation)을 위한 이온주입을 실시하여 증가형 트랜지스터를 형성할 수도 있다.

<33> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있

어 명백할 것이다.

【발명의 효과】

- <34> 상기와 같이 이루어지는 본 발명은 활성영역을 비트라인으로 사용하게 되므로 각 셀 마다 콘택을 형성할 필요가 없고 단지 활성라인(active line)만 형성하면 되기 때문에 설계규칙(design rule)에 따른 최소한의 폭만 요구된다.
- <35> 또한, 각 메모리 셀마다 비트라인 콘택을 형성할 필요가 없기 때문에 콘택 설계 규칙에서 요구되는 만큼의 면적을 소모하지 않아도 되고, 비트라인과 플레이트 라인이 평행하도록 함으로써 워드라인 방향에서 셀 플레이트 드라이브가 차지하던 공간을 제거하여 워드라인 지연(word line delay)을 감소시킬 수 있다.
- <36> 또한, 본 발명은 비휘발성 강유전체 메모리 소자의 셀 면적을 감소시킬 수 있고, 워드라인과 셀 플레이트 라인 그리고 비트라인의 레이아웃을 자유롭게 구성할 수 있다.

【특허청구범위】**【청구항 1】**

강유전체 캐패시터, 상기 강유전체 캐패시터의 데이터를 선택하는 증가형 트랜지스터, 상기 증가형 트랜지스터를 선택하는 워드라인 및 상기 워드라인을 통하여 상기 증가형 트랜지스터로부터 전달받은 데이터를 센스증폭기에 전달하는 비트라인을 구비하는 강유전체 메모리 셀에 있어서,

이웃하는 셀과 연결되며 그 상부에 공핍형 트랜지스터의 게이트가 형성되어 상기 비트라인을 이루는 제1 활성영역;

상기 제1 활성영역과 접하며 그 상부에 상기 증가형 트랜지스터의 게이트가 형성되는 제2 활성영역;

상기 공핍형 트랜지스터의 게이트 및 상기 증가형 트랜지스터의 게이트와 연결되는 워드라인; 및

상기 증가형 트랜지스터의 드레인과 연결되는 강유전체 캐패시터를 포함하는 강유전체 메모리 셀.

【청구항 2】

제 1 항에 있어서,

상기 강유전체 캐패시터의 셀 플레이트와 상기 비트라인은 평행한 것을 특징으로 하는 강유전체 메모리 셀.

【청구항 3】

제 1 항에 있어서,

상기 제1 활성영역 및 제2 활성영역은 n형인 것을 특징으로 하는 강유전체 메모리 셀.

【청구항 4】

강유전체 메모리 소자에 있어서,

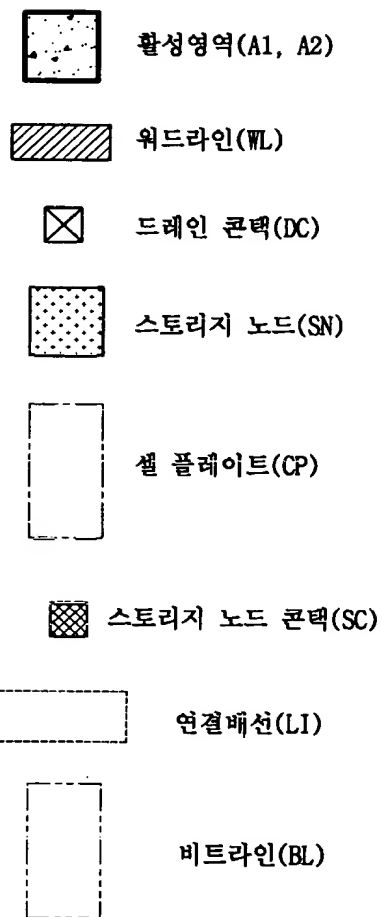
상기 제1 항 내지 상기 제3 항 중 어느 한 항에서 제시한 강유전체 메모리 셀을 구비하며 상기 셀을 다수개 포함하는 단위 블럭 마다,

상기 제1 활성영역을 노출시키는 콘택영역; 및

상기 콘택영역을 통하여 상기 제1 활성영역과 연결되어 상기 비트라인의 데이터를 전달하는 금속선

을 포함하는 강유전체 메모리 소자.

【도면】



【도 2】

